

PAT-NO: JP02000230964A  
DOCUMENT-IDENTIFIER: JP 2000230964 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: August 22, 2000

## INVENTOR- INFORMATION:

NAME	COUNTRY
HIKITA, JUNICHI	N/A
MOCHIDA, HIROO	N/A
SHIBATA, KAZUTAKA	N/A

## ASSIGNEE- INFORMATION:

NAME	COUNTRY
ROHM CO LTD	N/A

APPL-NO: JP11031712

APPL-DATE: February 9, 1999

INT-CL (IPC): G01R031/26, H01L021/66 , H01L023/12 , H01L025/065 ,  
H01L025/07  
, H01L025/18

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which other semiconductor chips can be connected satisfactorily after their functional test is finished.

SOLUTION: Pads PD for chip connection, which are to be connected to a master chip to be chip-on-chip-bonded are formed on the surface 21 of a slave chip D. Pads PT for test are connected, via respective metal interconnections 30, to the pads PD for chip connection. When the function of respective internal circuits in the slave chips D is tested. A test probe 50 is pressed to the

pads PT for test. Bumps B are formed on the pads PD for chip connection.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-230964

(P2000-230964A)

(43)公開日 平成12年8月22日 (2000.8.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	データコード(参考)
G 01 R 31/26		G 01 R 31/26	J 2 G 0 0 8
H 01 L 21/66		H 01 L 21/66	E 4 M 1 0 6
23/12		23/12	Q
25/065		25/08	B
25/07			

審査請求 未請求 請求項の数4 OL (全6頁) 最終頁に続く

(21)出願番号 特願平11-31712

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(22)出願日 平成11年2月9日 (1999.2.9)

(72)発明者 正田 純一

京都市右京区西院溝崎町21番地 ローム株式会社内

(72)発明者 持田 博雄

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100087701

弁理士 稲岡 新作 (外2名)

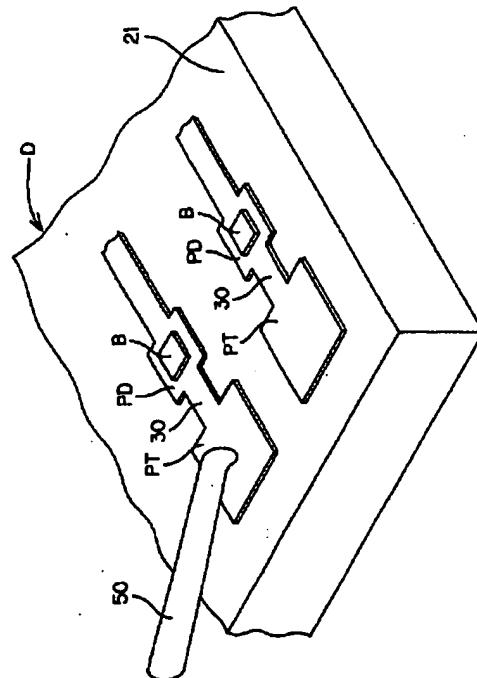
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】機能テストを経た後における他の半導体チップなどとの接続を良好に行うことができる半導体装置を提供する。

【解決手段】子チップDの表面21上には、チップ・オン・チップ接合される親チップとの接続のためのチップ接続用パッドPDが形成されている。チップ接続用パッドPDには、金属配線30を介してテスト用パッドPTが接続されている。子チップDの内部回路の機能テストの際には、テストプローブ50がテスト用パッドPTに押し当てられる。チップ接続用パッドPD上には、バンプBが形成されている。



## 【特許請求の範囲】

【請求項1】半導体基板上に形成された内部回路と、上記半導体基板上に形成され、上記内部回路に接続された接続用パッドと、

上記半導体基板上で上記接続用パッドに接続されて形成され、上記内部回路の機能テストのために用いられるテスト用パッドとを含むことを特徴とする半導体装置。

【請求項2】上記接続用パッド上に形成され、他のチップを上記半導体基板の表面に重ね合わせて接合するための装置間接続部材をさらに含むことを特徴とする請求項1記載の半導体装置。

【請求項3】上記テスト用パッドは、上記半導体基板表面の周縁領域に形成されており、上記接続用パッドは、上記テスト用パッドよりも上記半導体基板表面の内方の領域に形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】上記テスト用パッドは、テストプローブを当てて上記内部回路の機能テストを行うためのものであることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体チップなどを接続するための接続用パッドを半導体基板上有する半導体装置に関する。

## 【0002】

【従来の技術】半導体装置において、小型化および高集積化を目指すため、従来の二次元構造から三次元構造に向かう提案がされている。しかし、連続した製造プロセスで三次元構造の半導体装置を形成しようとすると、歩留まりが悪く、困難なことが多い。

【0003】そこで、本願の発明者等は、第1の半導体チップの表面と第2の半導体チップの表面とを重ね合わせて複数の半導体チップを2層の積層構造に接合する、いわゆるチップ・オン・チップ構造の半導体装置の実用化を研究してきた。一对の半導体チップの接合のために、たとえば、一方の半導体チップのパッドには、金などの耐酸化性金属からなるバンプが形成される。このバンプを介して一对の半導体チップの各内部回路間の電気接続が達成され、かつ、両半導体チップの機械的接合が達成される。

【0004】図4は、半導体チップのバンプ付近の構成を拡大して示す斜視図である。半導体チップ100において、トランジスタ等の素子が形成された活性表層領域が存在する側の面である表面101には、半導体チップ100の内部に形成された内部回路(図示せず)に接続されたパッド102が形成されており、このパッド102上に、金等のバンプ103が隆起して形成されている。

【0005】半導体チップ100は、別の半導体チップ

を接合して組み立てられる前に、単体で、動作確認のための機能テストが行われる。この機能テストは、バンプ103にテストプローブ110の先端を押し当てる行われる。

## 【0006】

【発明が解決しようとする課題】ところが、テストプローブ110を押し当てるにより、参照符号Aで示すように、バンプ103が損傷を受け、バンプ103の表面形状が変形したり、バンプ103の材料がえぐり取られたり捲れ上がったりする場合がある。とくに、たとえば、異なる温度条件下で2~3回の機能テストを繰り返し行う必要がある場合には、テストプローブ110を複数回に渡ってバンプ103に押し当てる必要がある。したがって、機能テストを経た半導体チップ101では、バンプ103が相当な損傷を受けている場合がある。

【0007】このように損傷を受けたバンプ103では、他の半導体チップとの接合を良好に行うことができず、結果として、半導体チップ同士の電気接続が不良になり、チップ・オン・チップ構造の半導体装置が全体として不良品となる。バンプ103を形成する前に機能テストを行えば、バンプ103の損傷は回避できるが、この場合には、テストプローブ110をパッド102に押し当てることになるので、パッド102の損傷が不可避である。この損傷を受けたパッド102上にバンプ103を形成しようとしても、その形成を良好に行なうことは困難であり、結果として、半導体チップ同士の良好な接合が阻害される。バンプ103を相当な厚膜状に形成すれば、損傷を受けたパッド102上であっても良好なバンプ103の形成が可能かもしれないが、バンプ材料を多く必要とし、かつ、バンプの形成に時間がかかるから、好ましい解決方法とは言えない。

【0008】そこで、この発明の目的は、上述の技術的課題を解決し、機能テストを経た後の接続を良好に行なうことができる半導体装置を提供することである。

【0009】  
【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、半導体基板上に形成された内部回路と、上記半導体基板上に形成され、上記内部回路に接続された接続用パッドと、上記半導体基板上で上記接続用パッドに接続されて形成され、上記内部回路の機能テストのために用いられるテスト用パッドとを含むことを特徴とする半導体装置である。

【0010】上記の構成によれば、内部回路に接続された接続用パッドには、テスト用パッドが接続されている。したがって、半導体装置の機能テストは、テスト用パッドを用いて行なうことすれば、接続用パッドは、損傷を受けることがない。したがって、機能テスト後の当該半導体装置と、別の半導体チップなどとの接続は、良好に行なうことができる。

【0011】また、テスト用パッドは機能テストのためには最適な位置に形成することができ、接続用パッドは他の半導体チップなどとの接続のために最適な位置に形成することができるので、他の半導体チップなどとの接続位置を自由に設定することができる。請求項2記載の発明は、上記接続用パッド上に形成され、他のチップ（半導体チップやセラミック素子など）を上記半導体基板の表面に重ね合わせて接合するための装置間接続部材をさらに含むことを特徴とする請求項1記載の半導体装置である。

【0012】この構成によれば、接続用パッド上に形成された装置間接続部材（バンプや金属蒸着膜など）により、半導体チップを重ね合わせて接合することにより、いわゆるチップ・オン・チップ構造の半導体装置を構成できる。内部回路の機能テストは、テスト用パッドを用いて行われるので、装置間接続部材は、半導体チップの接合前に損傷を受けることがない。そのため、半導体チップとの接合を良好に行うことができ、チップ・オン・チップ構造の半導体装置を良好な歩留まりで生産することができる。

【0013】装置間接続部材は、機能テスト前または機能テスト後のいずれであっても良好に形成することができ、機能テスト前に形成された装置間接続部材が機能テストによって損傷を受けることも、機能テスト後における装置間接続部材の形成が困難になることもない。よって、装置間接続部材の形成は、機能テスト前または機能テスト後のいずれでも構わないので、工程の設計が容易になる。

【0014】また、機能テスト時に接続用パッドまたはその表面に形成される装置間接続部材が損傷を受けることがないので、装置間接続部材は、バンプのような厚膜状のものである必要がなく、バンプよりもはるかに薄膜の金属蒸着膜のようなものであってもよい。これにより、装置間接続部材の材料が少なくて済み、また、その形成も短時間で行える。

【0015】請求項3記載の発明は、上記テスト用パッドは、上記半導体基板表面の周縁領域に形成されており、上記接続用パッドは、上記テスト用パッドよりも上記半導体基板表面の内方の領域に形成されていることを特徴とする請求項1または2記載の半導体装置である。この構成によれば、テスト用パッドが、接続用パッドよりも半導体基板表面の周縁の領域に形成されているので、請求項4記載のように、テストプローブをテスト用パッドに押し当てて機能テストが行われる場合に、この機能テストを良好に実行できる。

【0016】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の構成を一部分解して示す斜視図である。この半導体装置は、第1の半導体

チップとしての親チップMの表面11に、第2の半導体チップとしての子チップD1, D2, D3（以下、総称するときには「子チップD」という。）をそれぞれ重ね合わせて接合した、いわゆるチップ・オン・チップ（Chip-On-Chip）構造を有している。

【0017】親チップMは、たとえばシリコンチップからなっている。表面11は、親チップMの基体をなす半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面であり、最表面は、絶縁物の保護膜で覆われている。この保護膜上には、子チップDの接合領域15（子チップD1に対応するもののみを図示した。）が設定されており、この接合領域15には、子チップDとの接続のためのチップ接続用パッドPM（接続用パッド）が、複数個配置されている。

【0018】子チップDは、たとえばシリコンチップからなる。この子チップDの基体をなす半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面である表面21は、絶縁物の保護膜で覆われている。この保護膜上には、親チップMのチップ接続用パッドPMに対応する位置に、複数個のチップ接続用パッドPD（接続用パッド）が露出して形成されている。各パッドPD上には、耐酸化性の金属、たとえば、金、鉛、プラチナ、銀またはイリジウムからなるバンプB（チップ間接続部材、装置間接続部材）がそれぞれ形成されている。

【0019】子チップDは、表面21を親チップMの表面11に対向させた状態で親チップMに接合される。この接合は、バンプBを接合領域15のチップ接続用パッドPMにそれぞれ当接させた状態で、親チップMと子チップDとを相互に圧着することにより達成される。この圧着の際、必要に応じて親チップMおよび／または子チップDに超音波振動を与えることにより、バンプBとチップ接続用パッドPMとの確実な接合が達成される。

【0020】たとえば、親チップMには、ゲートアレイやロジック回路が形成されている。そして、たとえば、第1の子チップD1は、CPUであり、第2の子チップD2は、A/D変換素子であり、第3の子チップD3は、メモリ素子（フラッシュメモリ、EEPROM、強誘電体メモリ、ダイナミックRAMなど）である。親チップMは、たとえば、図示しない外部接続用パッド、およびこの外部接続用パッドに接続されるボンディングワイヤにより、リードフレームに接続されている。

【0021】図2は、子チップDのパッドPDの近傍の構成を拡大して示す斜視図であり、図3はチップ接続用パッドPDの近傍の構成を示す断面図である。子チップDの表面21において、チップ接続用パッドPDの近傍には、テスト用パッドPTが設けられている。そして、チップ接続用パッドPDとこれに対応するテスト用パッドPTとは、金属配線30により相互に接続されて対を成している。テスト用パッドPTは、テストプローブ50

Oを押し当てやすいように、子チップDの表面21の周縁領域に形成されており、チップ接続用パッドPDは、テスト用パッドPTよりも表面21の内方の領域に形成されている。

【0022】図3に示されているように、子チップDの基体をなす半導体基板40上には、絶縁層41上にアルミニウム配線42が形成されていて、このアルミニウム配線42が、たとえば、半導体基板40の表層の活性領域に形成された素子(図示せず)に接続されている。アルミニウム配線42は、保護膜43で被覆されていて、この保護膜43には、チップ接続用パッドPDおよびテスト用パッドPTの位置に、開口44、45が形成されている。保護膜43の上方には、開口44、45においてアルミニウム配線42に接触するバリアメタル膜46(たとえば、TiWからなる。)が形成されている。このバリアメタル膜46により、テスト用パッドPTおよびチップ接続用パッドPDの表層部分が形成されている。そして、金属配線30は、テスト用パッドおよびチップ接続用パッドPDの間のバリアメタル膜46およびそれらの間のアルミニウム配線42によって形成されている。

【0023】なお、バリアメタル膜46は、隣接する膜間の材料の相互拡散を防止し、界面が合金化することを防止するためのものである。子チップDは、親チップMに接合される前に、単体で、内部回路の動作確認のための機能テストが行われる。この機能テストにおいては、図2に示すように、テスト用パッドPTにテストプローブ50が押し当てられる。必要に応じて、たとえば、異なる温度条件の下で、2回、3回と繰り返し同様なテストが行われる。

【0024】親チップMについても、単体での機能テストが行われる。この親チップMにおいて、機能テストの際にテストプローブが電気的に接続されるべきチップ接続用パッドPMに関する構成は、子チップDのチップ接続用パッドPDに関する構成と同様になっている。すなわち、テストプローブが接続されるべきチップ接続用パッドPMの近傍には、テスト用パッドPMTが対をなすように設けられていて、これらは、金属配線30Mによって相互に接続されている。そして、機能テストの際には、チップ接続用パッドPMではなく、テスト用パッドPMTにテストプローブが押し当てられる。このテスト用パッドPMTは、親チップMの表面11の周縁領域に形成されており、チップ接続用パッドPMは、テスト用パッドPMTよりも表面11の内方の領域に形成されている。

【0025】このようにこの実施形態によれば、親チップMおよび子チップDの機能テストを行うためのテストプローブは、チップ接続用パッドPM、PDに接続されたテスト用パッドPMT、PTに押し当てられ、これにより、親チップMおよび子チップDの内部回路の動作確

認が行われる。したがって、機能テストの際に親チップMのチップ接続用パッドPMや子チップDのバンプBが損傷を受けるおそれがない。そのため、親チップMの表面に子チップDを接合してチップ・オン・チップ構造の半導体装置を組み立てる際に、親チップMと子チップDとの接続不良が生じることがない。これにより、チップ・オン・チップ構造の半導体装置を良好な歩留まりで生産することができる。

【0026】また、バンプBは、機能テスト前に形成されても損傷を受けることがなく、また、機能テスト後に形成されても、損傷のないチップ接続用パッドPD上に良好に形成することができる。したがって、バンプBの形成は、機能テスト前でも機能テスト後でもよいので、製造工程の設計が容易になる。さらに、バンプBは、損傷のないチップ接続用パッドPD上に形成することができるので、さほど厚膜に形成する必要がない。したがって、バンプBの材料が少なくてすみ、かつ、バンプBの形成を短時間で行える。また、一般に電解めっきや無電解めっきで形成される厚膜状のバンプBの代わりに、金属蒸着膜などの薄膜を適用することも可能であり、このようにすることによって、チップ間接続部材の材料を節約できる。

【0027】また、チップ接続用パッドPM、PDを親チップMと子チップDとの接続のために最適な位置に形成し、テスト用パッドPMT、PTは機能テストのために最適な位置(たとえば、チップM、Dの表面の周縁附近)に形成することができる。これにより、親チップMと子チップDとの接続位置を自由に設定でき、かつ、機能テストも良好に行うことができる。

【0028】この発明の一実施形態について説明したが、この発明は、他の形態でも実施することができる。たとえば、上記の実施形態では、親チップMと子チップDとをバンプB等を介して接続したチップ・オン・チップ構造の半導体装置を例にとったが、複数の半導体チップ間の接続はボンディングワイヤで行われてもよく、また、相互に接続される複数の半導体チップは必ずしも重ね合わせて配置される必要はない。さらに、この発明は、単体で使用される半導体チップにも適用可能であり、リードフレームにワイヤボンディングにより接続される外部接続用パッドに付随してテスト用パッドを設けてよい。

【0029】また、上記の実施形態では、子チップDにバンプBを設けているが、親チップM側に同様のバンプを設けてもよく、親チップMおよび子チップDの両方にバンプを設けて、バンプ同士を接合することによって親チップMおよび子チップDのチップ・オン・チップ接合を達成してもよい。さらに、上記の実施形態では、親チップMの表面11に3つの子チップDが接合される場合について説明したが、親チップMの表面11に接合される子チップの数は必要とされるシステム構成に応じて定

められればよい。

【0030】さらに、上記の実施形態では、親チップ'M'および子チップ'D'は、いずれもシリコンからなるチップであることとしたが、シリコンの他にも、ガリウム砒素半導体やゲルマニウム半導体などの他の任意の半導体材料を用いた半導体チップをこの発明の半導体装置に適用することができる。この場合に、第1の半導体チップと第2の半導体チップとの半導体材料は、同じでもよいし異なっていてもよい。

【0031】さらに、チップ接続用パッドとテスト用パッドとをつなぐ配線は、金属配線ではなく、ポリシリコン配線等を用いてもよいし、テスト用パッド部にもバンプを形成するようにしてもよい。このようにすると、テスト用パッドから腐食が進んでも、チップ接続用パッドまで容易には到達しないようになることができる。その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体装置の構成を一部分解して示す斜視図である。

【図2】チップ接続用パッドの近傍の構成を拡大して示す斜視図である。

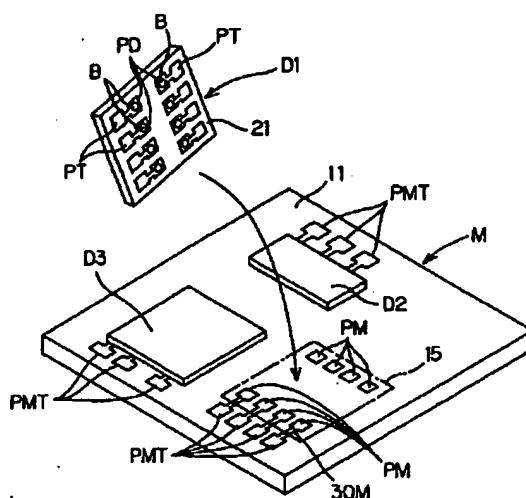
【図3】チップ接続用パッドの近傍の構成を示す断面図である。

【図4】従来の半導体チップのバンプ付近の構成を拡大して示す斜視図である。

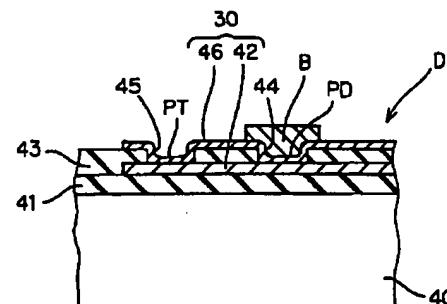
【符号の説明】

10	M	親チップ
	D, D1, D2, D3	子チップ
	PM	チップ接続用パッド(接続用パッド)
	PMT	テスト用パッド
	PD	チップ接続用パッド(接続用パッド)
	PT	テスト用パッド
	B	バンプ(装置間接続部材)
15		接合領域
30, 30M		金属配線

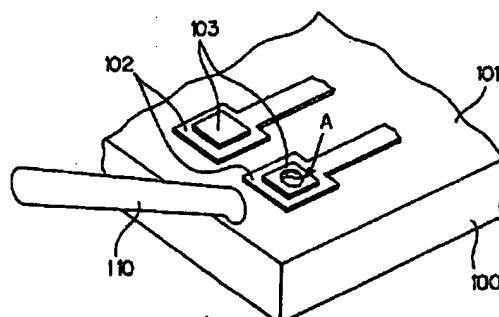
【図1】



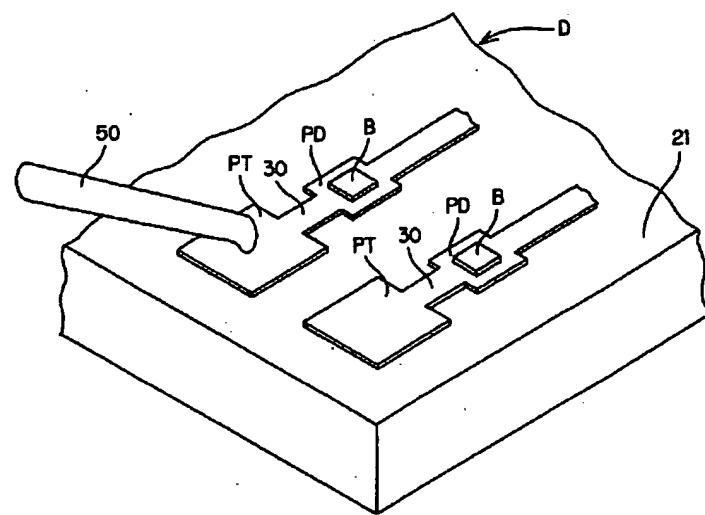
【図3】



【図4】



【図2】



フロントページの続き

(51) Int.CI.<sup>7</sup>  
H 01 L 25/18

識別記号

F I

アマコード(参考)

(72) 発明者 柴田 和孝  
 京都市右京区西院溝崎町21番地 ローム株  
 式会社内

Fターム(参考) 2G003 AA07 AG03 AH00 AH07  
 4M106 AA02 AD01 AD08 AD09 AD30  
 BA14 CA70